

PAT-NO: JP357015455A  
DOCUMENT-IDENTIFIER: JP 57015455 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: January 26, 1982

INVENTOR-INFORMATION:  
NAME  
SAKURAI, JUNJI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
FUJITSU LTD N/A

APPL-NO: JP55089489

APPL-DATE: July 1, 1980

INT-CL (IPC): H01L027/06, H01L021/66

US-CL-CURRENT: 257/786, 257/E21.521

ABSTRACT:

PURPOSE: To facilitate the evaluation of processing function and circuit function in a three-dimensional IC by forming a function inspecting monitor at each of element forming regions formed in a multilayer via insulating layers and exposing the measurement pad of the monitor.

CONSTITUTION: Chips 1a&sim;1c formed, for example, with MOSICs are covered with PSG film 5, are laminated with an adhesive layer 6 of silicone resin or the like, and are thus secured to form a three-dimensional LSI. A simple circuit function inspecting monitor circuit of flip-flop or the like and a processing function inspecting monitor element are formed in each of these

chips, and their measuring pads 2, 3 are disposed similarly to the IC pad 4 at the peripheral edge of each of the chips. The chips are reduced in size smaller at the upper layer so that the respective pad forming regions are exposed on the surface of laminated three-dimensional device. Thus, the measurement inspection, e.g., function evaluation of each chip, influence of multilayer formation, variation in the performance by environmental tests or the like can be facilitated, the yield and the reliability can be improved.

COPYRIGHT: (C)1982,JPO&Japio

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-15455

⑨ Int. Cl.<sup>3</sup>  
H 01 L 27/06  
21/66

識別記号

庁内整理番号  
6426-5 F  
6851-5 F

⑬ 公開 昭和57年(1982)1月26日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地  
富士通株式会社内

⑯ 特 願 昭55-89489

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭55(1980)7月1日

川崎市中原区上小田中1015番地

⑲ 発 明 者 桜井潤治

⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 絶縁層を介して多層に形成された素子形成層に各素子が形成されてなる半導体装置に於て、各素子形成層に機能検査用のモニター素子を設け、且つ各素子形成層のモニター素子に導通する機能検査用パッドを露出せしめてなることを特徴とする半導体装置。

(2) 前記機能検査用のモニター素子が、プロセス機能検査用のモニター素子であることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 前記機能検査用のモニター素子が、回路機能検査用のモニター回路を構成していることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

本発明は半導体装置の構造にかかわり、特に3次元(多層)半導体装置の構造に関する。

パッケージ当りの回路の集積度を向上せしめる手段として提案された3次元大規模集積回路(LSI)としては、シリコン(Si)基板面に形成せしめたLSI上を絶縁層で覆い、該絶縁層上にSi層を化学気相成長(CVD)法により堆積せしめ、該Si層をレーザ・アニール等により単結晶化し、該単結晶Si層にLSIを形成し、更に該LSI上を絶縁層で覆い、上記工程を繰り返してSi基板上に多層にLSIを形成し、各層のLSIの所望の配線をスルー・コンタクトにより縦に接続せしめた構造がある。(日経エレクトロニクス2-18(1980)P82参照)あるいは複数のICチップを重ねて集積度を向上せしめた構造がある。

然し上記構造の3次元LSIに於ては各層の配線が素子面に露出していないために、上層のLSI形成後下層のLSIのプロセス機能及び回路機能を検査することができず、又素子完成後各層のLSIのプロセス機能及び回路機能を個別に検査することも不可能である。また3次元LSIの全ての層が接続されて初めて一つの回路機能を有するような場

合、各層毎に回路機能試験を行なうことも不可能である。

従って上記構造に於ては、製造条件の管理が充分に成し得ないので、製造歩留まりの低下や製造工数製造経費の損失を招くという問題がある。

本発明は上記問題点に鑑み各層のプロセス機能及び回路機能を素子外面から層ごとに検査することが可能な構造を有する3次元半導体IC装置を提供する。

即ち本発明は絶縁層を介して多層に形成された素子形成層に各素子が形成されてなる半導体装置に於て、各素子形成層にプロセス機能検査用のモニター素子或るいは前記モニター素子と更に回路機能検査用のモニター回路を設け、且つモニター素子測定用パッド或るいは前記モニター素子測定用パッドと更にモニター回路測定用パッドを素子面に表出せしめてなることを特徴とする。

以下本発明を第1図に示す一実施例の上面模式図及び第2図に示す上記実施例のA-A'矢視断面図を用いて詳細に説明する。

-3-

そして本発明の一実施例である3次元LSIは例えば第1図及び第2図に示すように前述の構造を有するチップ・サイズの異なる複数枚のLSIチップ1a, 1b, 1cを、大きいチップ上に順次小さいチップを重ね、シリコン樹脂、エポキシ樹脂或るいはポリ・イミド等の絶縁性樹脂、銀ペースト等の導電性接着剤或るいは金一銅(Au-Sn)等のろう材等からなる接着層6により積層固着してなつており、図に示すように下層チップのモニター回路の回路測定用パッド2及びモニター素子の素子測定用パッド3は該チップのボンディング・パッド4と共に上層チップの外側に於て素子面に表出せしめられた構造を有している。

上記のように本実施例の構造を有する3次元LSIに於ては、その各層を形成するLSIチップごとにモニター素子及びそのモニター素子より構成されるモニター回路が形成され、且つモニター回路の回路測定用パッド2及びモニター素子の素子測定用パッド3がチップ面に表出せしめられているので、たとえ一層のチップでLSIが完成してい

特開昭57-15455(2)

即ち本発明の一実施例である3次元構造を有する半導体IC装置例えば3次元LSIに使用するLSIチップ1a, 1b, 1cは、通常行われるMIS型ICの製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン領域、抵抗、容量等からなる集積回路と、該集積回路が所期の機能を持つて形成されているかどうかを判断するためのフリップ・フロップ或るいはリング・オッシレータ等の簡単な回路機能検査用モニター回路、及び前記集積回路中の機能素子がそれぞれ所期の機能を持つように形成されているかどうかを確認するためのトランジスタ、抵抗、容量等のプロセス機能検査用モニター素子が合わせて形成され、該モニター回路の回路測定用パッド<sup>2</sup>及びモニター素子の素子測定用パッド3は該チップに形成されている集積回路のボンディング・パッド4と同様に、アルミニウム(Al)配線層等によりチップの周縁部に導出され、チップ上を覆う珪酸ガラス(PSG)等の保護絶縁膜5に形成された窓内に表出せしめられる。

-4-

ないでもそのチップに形成されているLSIの一部が所期通りの回路機能に合うように形成されているかどうかを、プロダクション・プローブ(P-P)法等により前記モニター回路により確認することができ、又LSI形成のウエーハ・プロセスが所期通りなされているかどうか各層ごとに前記モニター素子により検知することができる。

特に3次元LSIの全ての層が形成され接続されて初めて特定の回路機能を有する場合、各層別々に動作させて回路機能試験を行うことができないので、上記の様に回路機能試験用のモニター回路を各層に設けておけば、別々に動作させて試験を行なうことができる。

従って上記構造に於ては所期の性能を持ったチップを積層して3次元LSIを形成することができるので、3次元LSIの製造歩留まりの向上が図れると同時に、製造工数等の損失が未然に防止できる。

又上記本発明の構造に於ては、チップを積層する作業が下層のチップに与える影響も、上層チッ

-256-

-5-

-6-

ブの積層を終った時点で下層チップのモニター回路及びモニター素子をチェックすることにより検知することができるので、積層作業の条件を適切に選らぶことができ、この点でも製造歩留まりの向上が図れる。

更に又本実施例の構造を有する3次元LSIに於ては、3次元LSIが完成した状態でもなお且つ各層のモニター回路の回路測定用パッド及びモニター素子の素子測定用パッドは素子面に表出せしめられているので、パッケージへ該3次元LSIの素子を組み込む工程及び種々な環境試験に際しての3次元LSIの性能変化を前記モニター回路及びモニター素子を用いて検出することができるので、3次元LSIの信頼性の向上が図れる。

なお上記実施例に於ては本発明をLSIチップを多層に積層形成する構造について説明したが、本発明はLSI上を絶縁膜で覆い、該絶縁膜上にSi層を形成し、該Si層を単結晶化して、該単結晶Si層に上層のLSIを形成する従来例に示した構造の3次元LSI素子についても、各層に上記のようなモ

特開昭57-15455(3)  
ニターを形成し、そのモニター端子を窓明けを行  
って素子面に表出せしめる手段により適用すること  
ができる。

以上説明したように本発明によれば3次元LSI等の3次元半導体集積回路の製造歩留まりや信頼性の向上が図れる。

#### 4. 図面の簡単な説明

第1図は本発明に於ける一実施例の上面模式図で第2図は同実施例のA-A'矢視断面図である。

図に於て

- 1a, 1b及び1cはLSIチップ、
- 2はモニター回路の回路測定用パッド、
- 3はモニター素子の素子測定用パッド、
- 4はボンディング・パッド、
- 5は保護絶縁膜、
- 6は接層層を被覆す。

代理人 弁理士 松岡 宏四郎  
印

